



## Document Summary

New  
Search

Help

[Preview Claims](#)[Preview Full Text](#)[Preview Full Image](#)

Email Link: An icon representing an envelope, used for email links.

**Document ID:** J P 02-280381 A2**Title:** SEMICONDUCTOR DEVICE**Assignee:** TOSHIBA CORP**Inventor:** TAKAHASHI MINORU  
YOSHIMI MAKOTO**US Class:****Int'l Class:** H01L 29/784 A; H01L 27/12 B**Issue Date:** 11/16/1990**Filing Date:** 04/21/1989**Abstract:**

**PURPOSE:** To improve drain withstand voltage of a transistor by making thicker a drain region than a channel region constructed into a thin film having the same impurity concentration as the channel region and a width less than a depleted maximum distance of the channel region, between the channel region and the drain region.

**CONSTITUTION:** An SiO<sub>2</sub> insulating film 12 having a protruded portion is deposited on a single crystal Si substrate 11 at the center of the surface of the same, and there is formed a silicon-on-insulation type MOS transistor 13 comprising a single crystal and having excellent characteristics such as low stray capacitance. Then, a gate electrode 5 is provided on the protruded portion of the film 12 through a gate oxide film 14, and there are located drain and source regions 17 and 18 constituting the transistor 13 on opposite sides of a channel region 16 located under the electrode 15 putting the channel region 16 therebetween. With such arrangement, thickness T<sub>1</sub> of the region 16 is defined as  $T_1 \geq 2 [\epsilon \phi / F / (q N_s)]^{0.5}$  where  $\epsilon$  is a dielectric constant, F is Fermi energy eV, q coulomb is the amount of basic charges, and N<sub>s</sub> is impurity concentration. Further, thickness T<sub>2</sub> of the regions 17, 18 expressed as T<sub>2</sub> > T<sub>1</sub> is obtained.

(C)1990,JPO&amp;Japio

**THIS PAGE BLANK (USPTO)**

---

Copyright © 1993-2000 Aurigin Systems, Inc.  
[Legal Notices](#)

**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-280381

⑮ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月16日

H 01 L 29/784  
27/12

7514-5F  
8624-5F

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平1-100310

⑰ 出 願 平1(1989)4月21日

⑱ 発 明 者 高 橋 稔 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑲ 発 明 者 吉 見 信 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 三 好 秀 和 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

絶縁膜上に形成された半導体膜に所定距離だけ離間して設けられた一対の高濃度不純物領域からなるソース領域及びドレイン領域と、この両領域に挟まれたチャンネル領域上に絶縁膜を介して形成されたゲート電極とを備えた半導体装置において、

前記チャンネル領域の厚さがチャンネル領域の空乏化最大距離以下に形成されるとともに、

前記ドレイン領域が前記チャンネル領域よりも厚く形成され、

かつ、前記チャンネル領域とドレイン領域間に前記空乏化最大距離以下であって、不純物濃度が前記チャンネル領域と同等もしくは、同等以上で前記ドレイン領域の不純物濃度以下の領域が設けられたことを特徴とする半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、絶縁膜上に形成された半導体膜に境界効果トランジスタを形成した半導体装置に関し、特にトランジスタ特性の改善を图った半導体装置に関する。

(従来の技術)

近年、絶縁膜上に形成されたシリコン膜(SOI膜, Silicon On Insulator)にMOS型のトランジスタを形成する技術が開発されている。SOI膜上に形成されたトランジスタは、ラッチアップフリー、低浮遊容量等の優れた特性を備えた素子である。このようなトランジスタにおいて、特に動作状態においてチャンネル領域をすべて空乏化できるようにSOI膜を薄く形成すると、パルス耐性の向上、短チャンネル効果の減少等の特性が得られることが知られている(IEDM, Technical Digest, P. 107、1982)。

このようなトランジスタとしては、例えば第5

図に示すような構造のものがある。

第5図はSOI膜上に形成されたMOS型のNチャンネルトランジスタの構造を示す断面図である。

第5図において、シリコン基板1にはSiO<sub>2</sub>からなる絶縁膜2が形成され、この絶縁膜2上には数百Å程度に薄膜化されたP型の単結晶シリコン膜からなるSOI膜3が形成されている。このSOI膜3上には、ゲート酸化膜4を介してゲート電極5が形成され、このゲート電極5を挟み込むようにSOI膜3中にn<sup>+</sup>型の不純物拡散領域からなるソース領域6及びドレイン領域7が形成されている。これらのソース領域6及びドレイン領域7間のSOI膜3中には、チャンネル領域8が形成される。このチャンネル領域8はSOI膜3が薄膜化されているために、動作状態においてすべて空乏化される。

このような構造にあっては、SOI膜3の薄膜化にともなってドレイン領域7の膜厚も薄くなる。これにより、ドレイン領域7とチャンネル領域8との境界近傍には電界が集中して高電界となる。

された半導体膜に所定距離だけ離間して設けられた一対の高濃度不純物領域からなるソース領域及びドレイン領域と、この両領域に挟まれたチャンネル領域上に絶縁膜を介して形成されたゲート電極とを備えた半導体装置において、この発明は、前記チャンネル領域の厚さをチャンネル領域の空乏化最大距離以下に形成し、前記ドレイン領域を前記チャンネル領域よりも厚く形成し、前記チャンネル領域とドレイン領域間に幅を前記空乏化最大距離以下とし、前記チャンネル領域と同等もしくは同等以上でドレイン領域よりも低濃度の不純物濃度を有する領域を設けたことを要旨とする。

#### (作用)

上記構成において、この発明は、チャンネル領域よりも厚く形成されたドレイン領域により、ドレイン領域側のチャンネルでの電界の集中を緩和するようにしている。また、チャンネル領域とドレイン領域間に形成されたチャンネル領域と同等もしくはそれ以上でドレイン領域の不純物濃度以下の不純物濃度を有する領域により、ドレイン領域に

このため、ドレイン電流はドレイン電圧とともに急激に増大することになり、ドレイン破壊が生じ易くなる。この結果、ドレイン電流の増大を抑制するために、ドレイン電圧が著しく制限されることになり、動作速度の低下等の特性の低下を招いていた。

#### (発明が解決しようとする課題)

上記したように、薄膜化されたSOI膜に形成されたトランジスタにあっては、ドレイン領域がチャンネル領域とともに薄膜化されて形成されていた。このため、チャンネル領域とドレイン領域との境界近傍に電界が集中して、ドレイン耐圧が低下するといった不具合を招いていた。

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、SOI膜に形成された電界効果トランジスタのドレイン耐圧を向上させた半導体装置を提供することにある。

#### [発明の効果]

#### (課題を解決するための手段)

上記目的を達成するために、絶縁膜上に形成

発生する正孔の蓄積及び、ドレイン領域における不純物のチャンネル領域への侵入を防止して、ドレイン領域側のチャンネル領域での電界の集中をより一層緩和するようにしている。

#### (実施例)

以下、図面を用いてこの発明の実施例を説明する。

第1図はこの発明の一実施例を示す半導体装置の構造を示す断面図である。同図に示す実施例は、この発明をSOI膜上に形成されたMOS型のNチャンネルトランジスタに適用したものである。

第1図において、単結晶シリコン基板11上には凸部を有するSiO<sub>2</sub>膜からなる絶縁膜12が形成されており、この絶縁膜12上にP型の単結晶シリコンからなるSOI膜13が形成されている。

SOI膜13の前記絶縁膜12の凸部上にはゲート酸化膜14を介してゲート電極15が形成されている。また、SOI膜13には、ゲート電極15下のチャンネル領域16を挟んで対向するよう

に、不純物拡散層からなるドレイン領域17及びソース領域18が形成されている。さらに、チャンネル領域16とドレイン領域17間には、ドレイン領域17と接するように領域19が設けられている。

このような構造において、チャンネル領域16は、その厚さ $T_1$ が次式に示すように設定されている。

$$T_1 \leq 2 [\varepsilon \phi_F / (q N_s)]^{\frac{1}{2}}$$

ここで、 $\varepsilon$ は誘電率、 $\phi_F$ はフェルミエネルギー(eV)、 $q$ は電子の基本電荷量(クーロン)、 $N_s$ は不純物濃度( $\text{cm}^{-3}$ )である。

上式において、その右辺はチャンネル領域16が動作状態の場合にすべて空乏化できる最大の厚さを示す値(空乏化最大距離)である。したがって、チャンネル領域16の厚さを上式において規定することにより、動作状態においてチャンネル領域16はすべて空乏化される。これにより、良好なスイッチング特性が得られる。

ドレイン領域17及びソース領域18は、その厚さを $T_2$ とすると、

ドレイン領域17を形成するN型の高濃度不純物領域と領域19との境界は、SOI膜13の厚さが $T_1$ から $T_2$ に変わる境界よりも上式で規定される $W$ の幅だけドレイン領域17側に位置する。

ここで、上述したような領域19が、チャンネル領域16とドレイン領域17との間に存在しない場合には、薄膜化されて不純物濃度が低いチャンネル領域16に接して不純物濃度が薄く厚いドレイン領域17が形成されることになる。このような場合には、ドレイン領域17の高濃度の不純物が熱拡散等によりチャンネル領域16内に侵入し易くなる。チャンネル領域16内にドレイン領域17の不純物が侵入すると、チャンネル領域16が薄膜化されているため、チャンネル領域16におけるドレイン領域17とチャンネル領域16との境界近傍の不純物濃度が高くなる。これにより、チャンネル領域16のドレイン領域17側における不純物分布の変化が大きくなる。このため、チャンネル領域16とドレイン領域17との境界において、電界が集中し易くなり、ドレイン耐圧の低下を招くこと

$$T_2 > T_1$$

となるように設定されている。すなわち、ドレイン領域17は、チャンネル領域16よりも厚く形成されている。これにより、ドレイン領域がチャンネル領域と同様に薄膜化されていた従来構造に比べて、チャンネル領域16とドレイン領域17との境界領域における電界の集中を緩和することが可能となる。この結果、ドレイン電圧が急激に増大するドレイン電圧が高くなり、ドレイン破壊電圧が上昇することになる。

チャンネル領域16とドレイン領域17との間に設けられた領域19は、チャンネル領域16とほぼ同等の不純物濃度を有しており、ドレイン領域17と同等の厚さで幅 $W$ が次式で示すように設定されている。

$$0 < W \leq 2 [\varepsilon \phi_F / (q N_s)]^{\frac{1}{2}}$$

このように領域19は、その幅 $W$ が前述したチャンネル領域を動作状態においてすべて空乏化できる最大幅よりも狭くなるように設定されている。すなわち、 $T_2$ の厚さのSOI膜13中にあってド

になる。

しかしながら、この実施例にあつては、チャンネル領域16と同等の低濃度の領域19が、チャンネル領域16とドレイン領域17との間に設けられているため、ドレイン領域17における不純物が熱拡散等によりチャンネル領域16側に拡散しても、不純物は低濃度の領域19内にとどまり、チャンネル領域16内に侵入することはなくなる。これにより、チャンネル領域16とドレイン領域17との境界付近に電界が集中することは緩和され、領域19が存在しない場合に比べて、ドレイン破壊電圧はより一層高められる。

また、領域19はその幅がチャンネル領域をすべて空乏化できる最大幅よりも狭くなるように設定されているので、ドレイン領域17に発生する正孔がこの領域19に蓄積されるということはない。このため、この領域19が厚く形成されて正孔が蓄積された場合に生じる特性の変化を招くことはない。

次に、上述したような構造の半導体装置の製造

方法を、第2図(a)～(g)に示す製造工程断面図を参照して説明する。

なお、第2図に示す製造方法においては、製造方法を簡単にするために、ドレイン領域側に形成されるのと同様な領域19をソース領域側にも形成している。このように、ドレイン領域側に形成する領域19と同様の領域をソース領域側に形成することによって、この発明における実施例の効果が損われることはなく、また、特性が劣化することもない。

まず、面方位を(100)とするP型の単結晶シリコン基板11上に $\text{SiO}_2$ からなる絶縁膜12をCVD法により1.5 $\mu\text{m}$ 程度の厚さに堆積形成する。続いて、この絶縁膜12上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、絶縁膜12に3000Å程度の深さの凹部21を反応性イオンエッチング(RIE)法により所定距離間隔して形成する。形成後、絶縁膜12上にマスクとして形成されたレジストパターンを除去する(第2図(a))。

溶液で除去する。これにより、絶縁膜12の凸部上の膜厚が薄膜化されたP型の単結晶シリコンからなる $\text{SOI}$ 膜13が形成される。ここで、絶縁膜12における凸部上のチャネル領域16となる $\text{SOI}$ 膜13の膜厚は600Å程度であり、絶縁膜12における凹部上のドレイン及びソースの形成予定領域となる $\text{SOI}$ 膜13の膜厚は3600Å程度である(第2図(c))。

次に、 $\text{SOI}$ 膜13上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、素子形成予定領域外の $\text{SOI}$ 膜13をRIE法により除去する。その後、900℃程度の温度で熱酸化処理を行ない、200Å程度の厚さの $\text{SiO}_2$ からなるゲート酸化膜14を $\text{SOI}$ 膜13上に形成する。この時に、 $\text{SOI}$ 膜13の表面が酸化され、 $\text{SOI}$ 膜13の膜厚が100Å程度減少する(第2図(d))。

次いで、全面に多結晶シリコン膜を堆積形成した後、絶縁膜12の凸部の幅より最大で2W(Wは前述した式で規定される)だけ広いレジストパ

次に、全面に多結晶シリコンを8000Å程度の厚さに堆積し、多結晶シリコン膜22を形成する。続いて、この多結晶シリコン膜22上に $\text{SiO}_2$ からなる保護膜23をCVD法によって5000Å程度の厚さに堆積形成する。その後、電子ビーム24の走査によるビームアニール処理を、電子ビームの加速エネルギーを12KeV程度、ビーム電流を6mA程度の条件の下で行なう。これにより、多結晶シリコン膜22を溶融再結晶化させて単結晶化し、単結晶シリコン膜25を形成する(第2図(b))。なお、第2図(b)において、領域26は多結晶シリコンの溶融領域を示している。

次に、保護膜23をフッ化アンモニウム水溶液により溶融除去する。続いて、単結晶シリコン膜25の表面を1000℃程度の温度で水素酸熱酸化により酸化して酸化膜(図示せず)を形成する。引き続き、単結晶シリコン膜25中にP型の不純物を低濃度に導入した後、単結晶シリコン膜25上に形成された酸化膜をフッ化アンモニウム水

ターン(図示せず)を形成し、このレジストパターンをマスクとして、前記堆積形成された多結晶シリコン膜及びゲート絶縁膜14をRIE法よりエッチング除去する。これにより、絶縁膜12の凸部の幅より長い多結晶シリコンからなるゲート電極15を形成する(第2図(e))。

次いで、N型の不純物となるリンを、加速エネルギー200KeV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件の下でイオン注入して $\text{SOI}$ 膜13に導入する。これにより、ゲート電極15を挟むように $\text{SOI}$ 膜13にドレイン領域17とソース領域18を形成する。この時に、前述したようにゲート電極15の長さ(L)は絶縁膜12の凸部の幅よりも2Wだけ長いので、リンイオンは絶縁膜12の凸部近傍の $\text{SOI}$ 膜13にまでは導入されない。これにより、ゲート電極15下の $\text{SOI}$ 膜13に形成されるチャネル領域と同じ不純物濃度を有する領域19が、チャネル領域16とドレイン領域17及びソース領域18との間に最大でWの幅をもって自己整合的に形成される(第2図(f))。



次に、全面に絶縁膜27を形成した後、コンタクトホールをドレイン領域17及びソース領域18上に開口し、この開口部にアルミニウム配線28を形成し、MOS型のNチャネルトランジスタが形成される(第2図(d))。

このようにして製造されるトランジスタにおいては、チャネル領域16に比べてドレイン領域17が厚く形成されているので、チャネル領域16とドレイン領域17との境界付近における電界の集中を緩和することができる。これにより、ドレイン耐圧が高められる。さらに、チャネル領域16とドレイン領域17との間に低濃度の領域19を設けているので、ドレイン領域17からチャネル領域16への不純物の拡散が防止されて、電界集中がより緩和されることになる。これにより、ドレイン耐圧は一層高められ、第3図に示す如く、ドレイン電流が急激に増大するドレイン電圧は、従来例に比べて大幅に高められる。

なお、この発明は上記実施例に限定されることなく実施することができる。例えば、SOI膜

に形成するトランジスタはNチャネルではなく、Pチャネルであってもよい。また、基板11上に形成される絶縁膜に設けられる凹部の形状は、第2図(a)に示す形状に限らず、例えば第4図に示すように基板11上の絶縁膜12aにテーパ状の凹部21となるように形成してもよい。

また、領域19の不純物濃度もチャネル領域と同等以上で、ドレイン領域の不純物濃度以下であればよい。

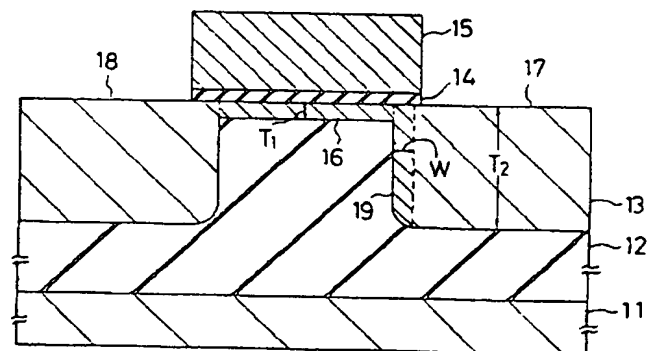
#### [発明の効果]

以上説明したように、この発明によれば、ドレイン領域を薄膜化されたチャネル領域よりも厚く形成するとともに、チャネル領域とドレイン領域間にチャネル領域と同等の不純物濃度を有し、端をチャネル領域の空乏化最大距離以下に形成したので、ドレイン領域側のチャネル領域での電界の集中を緩和することが可能となる。これにより、絶縁膜上に薄膜化されて形成された半導体膜をチャネル領域とするトランジスタのドレイン耐性を向上させることができる。

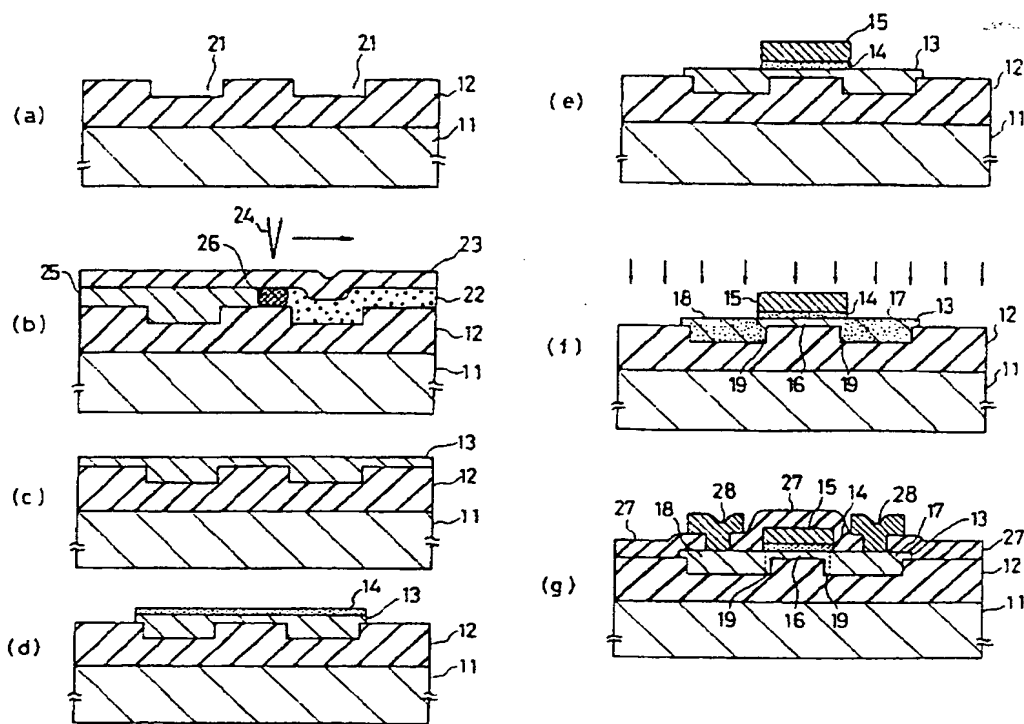
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例に係る半導体装置の構造を示す断面図、第2図は第1図に示す装置の製造方法を示す工程断面図、第3図は第1図に示す装置の特性を従来と比較して示す図、第4図は第2図に示す製造方法の他の実施例を示す工程断面図、第5図は従来のSOI構造を有する半導体装置の構造を示す断面図である。

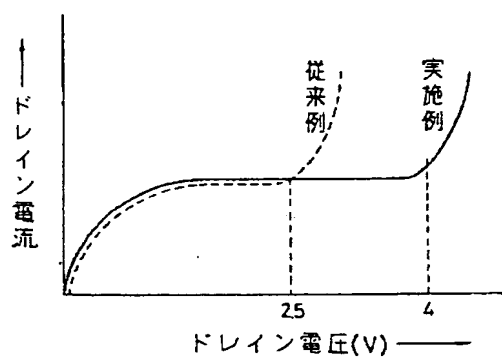
- 11…シリコン基板、
- 12…絶縁膜、
- 13…SOI膜、
- 14…ゲート絶縁膜、
- 15…ゲート電極、
- 16…チャネル領域、
- 17…ドレイン領域、
- 18…ソース領域、
- 19…低濃度領域。



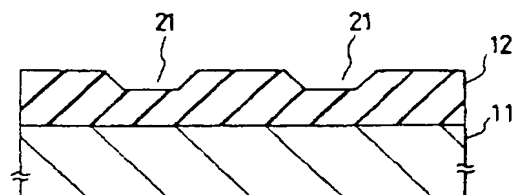
第1図



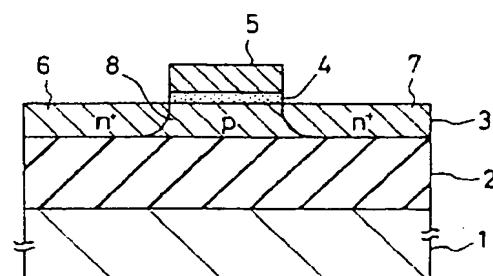
第 2 図



第 3 図



第 4 図



第 5 図